

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76334

(P2002-76334A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード* (参考)
H 0 1 L	29/78	H 0 1 L 21/205	5 F 0 4 0
	21/205	29/78	3 0 1 B 5 F 0 4 5
	29/786		6 1 8 B 5 F 1 1 0

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-261776 (P2000-261776)

(22) 出願日 平成12年8月30日 (2000.8.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 杉井 信之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中川 清和

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

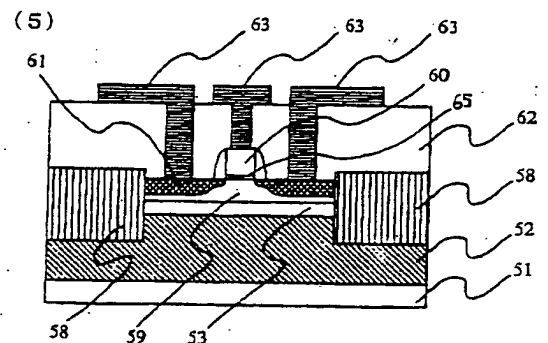
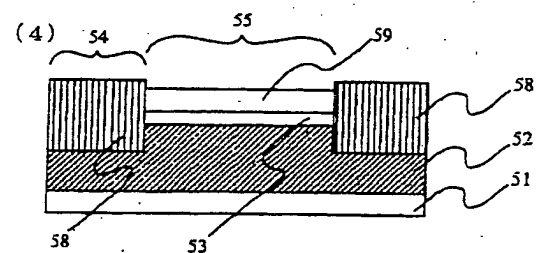
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 Si およびこれと同族元素である Ge 等の組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 Si Ge の歪印加層とその上に堆積された Si の歪半導体層との間の界面、又は Si の歪半導体層とその上のゲート絶縁層との間の界面の粗度を適切な値に小さくし、Si の歪半導体層に MOS F E T を形成する。

図 6



(2)

1

## 【特許請求の範囲】

【請求項1】基板表面部に形成されたSiGe領域、上記SiGe領域上に形成された100nm以下の厚さのSi層、及び上記Si層の表面に絶縁膜を介して設けられたゲート電極からなり、上記Si層と上記絶縁膜との間の界面が少なくとも上記ゲート電極下の領域にわたって0.1平方ナノメートル以下の粗度パワー分布特性をもって平坦化されていることを特徴とする半導体装置。

【請求項2】上記Si層と上記絶縁膜との間の界面が少なくとも上記ゲート電極下の領域にわたって0.02平方ナノメートル以下の粗度パワー分布特性をもって平坦化されていることを特徴とする請求項1記載の半導体装置。

【請求項3】基板表面部に設けられたSiGe領域の表面を化学機械研磨によって平坦化し、上記平坦化されたSiGe領域上にSi層を堆積し、しかる後上記Si層表面部に絶縁ゲート型トランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項4】基板表面に設けられたSiGe領域の上に厚さが100ナノメートル以下の第1Si層を堆積し、上記堆積された第1Si層及びSiGe領域に部分的に絶縁物からなる回路素子分離領域を形成し、しかる後上記第1Si層の上部に厚さが100ナノメートル以下の第2Si層を堆積し、上記第2Si層に絶縁ゲートトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項5】基板表面部に形成されたSiGe領域、上記SiGe領域上に堆積された100nm以下の厚さを有しその表面部の不純物濃度が10の17乗/立方cm以下のSi層、及び上記Si層の表面上部に絶縁膜を介して設けられたゲート電極からなり、上記ゲート電極下の上記Si層の表面に800平方センチメートル/Vs以上のキャリア移動度を有するチャンネルが形成されてなることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、特に絶縁ゲートトランジスタを含む半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】Si-MOS型電界効果トランジスタ(Si-MOSFET)を用いた半導体集積回路装置では、所謂スケリング則にのっとり、デバイス寸法の縮小や動作電圧の低減等を行うことにより、消費電力の低減と高速化を両立してきた。しかしながら、最近に至りゲート長が0.1マイクロメートル程度まで縮小されてくると、短チャンネル効果の問題やドレイン電圧としきい値電圧の近接による動作マージンの低下等多くの問題点が生じてきている。

【0003】また、高速化の指標となる移動度に目を向

2

けると、上記のさまざまな改良が、実デバイスにおけるSiの移動度をさらに低下させるという皮肉な結果に陥っている。このように従来のSi-MOSFETではもはや性能向上がきわめて困難になってきている。

【0004】これ以上の性能向上には、半導体材料そのものの改良で高速化を図る必要がある。本質的に高速である所謂化合物半導体を用いることは、ひとつの解ではあるものの、Si集積回路装置の製造技術との融合性の点で甚だ困難であり、かつ製造コストが膨大になるため現実的な解決策ではない。

【0005】従って、Si及びこれと同族元素であるGe等の組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供することがより現実的である。

【0006】具体的には、電界効果トランジスタのチャンネルが形成されるチャンネル形成層に歪印加半導体層により歪を印加せしめ、チャンネル中のキャリアの移動度を無歪のチャンネル形成層の材料より大きくすることにより達成できる。即ち、チャンネル形成層の材料がSiの場合、歪印加によりSiチャンネル形成層の面内の格子定数を無歪のSiより大きくするのである。

【0007】Si或いはGeに歪を印加すると、歪を受けないSi或いはGeに比べてキャリアの移動度が増大することについては、M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80 (1996)、2234に開示されている。

【0008】

【発明が解決しようとする課題】Si層に歪を与える方法としては、Si基板上に十分な厚みのSi(1-x)Ge(x)のSiGe混晶膜を成長させ、更にその上にSi薄膜を成長させる方法がある。

【0009】十分な厚みのSi(1-x)Ge(x)混晶膜を成長する際に、膜内に転移が発生すると同時にSi(1-x)Ge(x)混晶膜の成長面内格子定数が増大し、バルクSi(1-x)Ge(x)と同程度になる。即ち、Si基板とSi(1-x)Ge(x)膜との格子不整合が緩和される。こうして成長された格子緩和Si(1-x)Ge(x)膜の上にSi膜を成長するとそのSi膜は面内で2軸の引張歪を受けることになる。

【0010】ところが、格子不整合の緩和の為にSi(1-x)Ge(x)混晶膜に転移が入ることは同時に膜表面の平坦性を著しく悪化させる結果に陥る。このように平坦性の悪化した表面に歪Si層を成長してMOSFETを作製しても、キャリアの散乱が増大するために歪による移動度増大の効果が相殺されてしまうし、高性能素子製造に必要な微細なリソグラフィにも悪影響を与えてしまう。

【0011】本発明が解決する第1の課題はデバイスの性能悪化を小さく留め、微細リソグラフィ工程を行うに必要な歪Si層を含む半導体装置を提供することにあ

50

(3)

3

る。

【0012】第2に、歪Si層を含む半導体素子を製造する上で解決すべき課題は、製造時に歪Si層に与える熱負荷をできるだけ低減させることである。半導体装置の主流である相補型電界効果トランジスタ回路装置の製造工程では、ウェル形成工程および素子分離工程において、多大な熱負荷が与えられる。従来用いられてきた単結晶Si基板においては問題のない熱負荷も、歪Si層とSiGe歪印加層を含む半導体基板においては、SiGe歪印加層からのGeの拡散や歪Si層の歪緩和といった問題が生じうる。従って、この熱負荷の影響を低減することが本発明の解決する第2の課題である。

【0013】また、短チャネル電界効果トランジスタで良好な特性を得るためにはチャネル領域深さ方向の不純物プロファイルが精密に制御されることが必要である。短チャネル化に伴って生じるパンチスルー電流を抑制するにはチャネル部の不純物濃度を高める必要があるが、これは同時にチャネルの実効移動度を低下させ特性向上の障害になる。そのため、チャネルが形成されるゲート絶縁膜界面付近の不純物濃度は低く、それより深い部分の不純物濃度は高くするといった、3次元的不純物プロファイルの制御が重要になる。

【0014】イオン注入法により三族元素と五族元素を異なる深さに注入する方法が考えられるが、従来用いられてきた単結晶Si基板においてはこの方法で不純物プロファイルの制御が比較的簡単に行えたが、歪Si層とSiGe歪印加層を含む半導体基板においては、SiGe歪印加層のドーパントの異常拡散により不純物プロファイルの制御が困難になる。この問題を回避することが本発明の解決する第3の課題である。

【0015】本発明は上記1乃至3の課題を解決することを目的としてなされたものであり、短チャネル効果の問題を改良した高速動作可能な絶縁ゲートトランジスタ及びそれを用いた半導体集積回路装置を提供するものである。

【0016】また、本発明の他の目的はかかる半導体装置を再現性よく大量生産するに適した製造方法をも提供することである。

【0017】

【課題を解決するための手段】本発明は、上記したSi(1-x)Ge(x)混晶膜面の平坦性が素子特性に及ぼす影響に着目してなされたものである。

【0018】上記第1の課題を解決するために、本発明者等は前記層間の各界面の粗度とデバイス特性の相関につき試作検討を繰り返した結果、その界面を粗度パワー分布特性（これは、粗度の2次元パワースペクトル密度に相当する。）が所定の大きさ以下になるよう平坦化することの必要性を見出した。

【0019】特に、SiGe上の前記歪Si層とゲート絶縁膜との間の界面の平坦性の粗度の影響が大であり、

4

この界面即ちSi層の平坦度の粗度パワー分布特性が所定の大きさ以下になるよう平坦化することの必要性を見出した。また、前記歪Si層の厚みが50ナノメートル(nm)以下と薄い場合には前記SiGe歪印加層と歪Si層との間の界面の粗度も同様に著しく影響を与えることが見出された。

【0020】粗度パワーの波長（これは表面の凹凸の周期に相当する）に対する分布を見たときに、ある波長において山（ピーク）を持ち、その周辺で緩やかに低下する分布を持つ。また、最大の粗度パワーを示す波長は試料の作成条件や表面研磨の条件に依存するが、具体的には、少なくともSi層とゲート絶縁膜との間の界面の平坦性が、波長成分が0.1ナノメートル(nm)から10マイクロメートル( $\mu$ m)の範囲内における粗度パワーを0.1平方ナノメートル(平方nm)以下、望ましくは0.02平方ナノメートル(平方nm)以下、とすることによって良好な素子特性が得られることを見出した。更にまた、Si層とゲート絶縁膜との間の界面及びSiGe歪印加層とSi層との間の界面の両方の平坦性を上記数値の範囲にすれば、更に極めて良好な素子特性が得られることも見出した。

【0021】また、このような条件を満たす前記Si基板、Si(1-x)Ge(x)混晶膜(xは1より小さい正の値)の歪印加層、Si歪半導体層の積層構造を有する半導体装置の製造においては、SiGe歪印加層をSi基板上に成長後に化学機械研磨法(CMP)によってその表面の平坦化を行うことが望ましいことを見出した。

【0022】上記第2の課題を解決するには、熱負荷を与えるプロセスを前記歪Si層を形成する前に行うように製造工程を構築することが最良であるということを本発明者等は見出した。その具体的な方法は以下の通りである。

【0023】はじめに、前記Si基板上にSi(1-x)Ge(x)歪印加層、Si歪半導体層の順に堆積された半導体基板を製造する。Si(1-x)Ge(x)歪印加層とSi歪半導体層は超高真空排気化学気相成長法(UHV CVD)等の方法を用いて成長させることが望ましい。また、Si歪半導体層はこの場合無くてもかまわないが、化学的安定性の優れたSi層を最上表面にしておくために付けておくことが望ましい。SiGe歪印加層のGe量を意味するxは0から1の範囲内の任意の値が可能であるが歪量の点では0.3~0.4程度が望ましい。このxは膜厚方向に対して必ずしも一定である必要はなく、SiGe歪印加層の成長につれてxを大きくすることも歪印加層の貫通転位密度を減少させる効果があり望ましい。

【0024】また、前記半導体基板はこの組み合わせに限らず、例えば、Si基板とSiGe層との間にSiO<sub>2</sub>などの絶縁体層が挿入された所謂SOI構造の歪印加基板であっても良い。

50

(4)

5

【0025】次に、ウェル形成工程を施す。イオン注入等の方法で上記Si層のN型トランジスタを形成する領域に三族元素をドーピングさせて導電型をP型とし、P型トランジスタを形成する領域に五族元素をドーピングさせて導電型をN型とする。堆積するSi層の導電型や抵抗率によってはどちらかの工程を省略することもある。

【0026】次に、この半導体基板に素子分離工程を施す。局所的熱酸化法(LOCOS)やトレンチ分離などの方法が適用可能である。素子分離工程で形成される絶縁体部分と素子の活性領域との高さの差や段差の形状を最適にすれば、後の工程でSi層を選択エピタキシャル成長したときに、端面での結晶核の異常形成やファセット成長などによりエピタキシャル成長層の品質劣化を防止でき、トランジスタの特性や素子分離特性を良好に保つことができる。

【0027】次に、ウェル形成工程、素子分離工程を経た半導体基板にSiをエピタキシャル成長させる。このSiの成長には、素子分離領域以外の活性領域にのみ選択的に成長させることが可能なUHVCVD法等を用いることが望ましい。

【0028】なお、上記ウェル形成工程を経た半導体基板の第1Si歪半導体層には上記工程による熱負荷によりGeが拡散している場合があるので、Siのエピタキシャル成長によって第2Si層を形成する前に、第1Si層の一部あるいは大部分(場合によっては全部)をエッチングにより除去した方が望ましい。また、第2Si層の成長に先立ってSiGe層を成長することは表面汚染層を被覆することができ好ましい。

【0029】上記第2の課題を解決する製造方法を用いることにより、上記第3の課題も解決可能になる。即ち、前記ウェル形成工程においては第1Si層表面の不純物濃度が10の17乗/立法センチメートル以上になるようにイオン注入法と熱処理により不純物添加を行い、しかる後に、前記Siのエピタキシャル成長過程において、より低い不純物濃度が必要でしかも不純物プロファイルの精密制御が必要な工程を行って第2Si層を形成することが望ましい。

【0030】或いは、第2Si層を形成するためのSiのエピタキシャル成長過程の初期に不純物濃度が10の17乗/立法センチメートル以上になるように不純物添加を行い、その後不純物濃度が10の17乗/立法センチメートル以下になるように不純物添加を行えば良い。Siと不純物元素のみのエピタキシャル成長であるので、SiとGe両方を含む場合に比べて精密な不純物濃度制御が可能になる。なお、Siのエピタキシャル成長過程の初期に不純物濃度が10の17乗/立法センチメートル以上になるように不純物添加を行う工程は場合によっては省略して直ちに不純物濃度が10の17乗/立法センチメートル以下になるように不純物添加を行う

6

工程を行っても良い。

【0031】いずれにしても、絶縁ゲートトランジスタが形成される最上層のSi層表面部の不純物濃度を10の17乗/立法センチメートル以下とすることが望ましい。

【0032】前記Si(1-x)Ge(x)歪印加層により与えられる歪が緩和されないようにするために、前記Si歪半導体層(第1のSi層)およびエピタキシャルSi層(第2のSi層)の厚みをそれぞれ1~100ナノメートル(nm)の範囲にし、さらには両層の厚みの和が1~100ナノメートル(nm)の範囲にすることが望ましい。

【0033】かかる本発明によれば、基板表面部に形成された平坦な表面を有するSiGe領域、上記SiGe領域上に堆積された100nm以下の厚さを有しその表面部の不純物濃度が10の17乗/立方cm以下のSi層、及び上記Si層の表面上部に絶縁膜を介して設けられたゲート電極からなり、上記ゲート電極下の上記Si層の表面に800平方センチメートル/Vs以上のキャリア移動度を有するチャネルが形成された半導体装置を実現することができる。

【0034】

【発明の実施の形態】実施例1

はじめに、本発明の第1の課題を解決に必要な歪Si層とゲート絶縁膜との間の界面及び、SiGe歪印加層と歪Si層との間の界面の粗度とデバイス特性の相関について実例を挙げて説明する。

【0035】まず、試験デバイスの作製方法を説明する。はじめにSi基板上にSi(1-x)Ge(x)歪印加層を超高真空排気化学気相成長法(UHVCVD)により成長する。この歪印加層の成長により荒れた表面を化学機械研磨(CMP: Chemical Mechanical Polishing)技術により平坦化する。

【0036】更に、種々の試料を作成するために、得られた一部の試料は化学処理等により再び表面を粗面化し、歪印加層の表面荒さを所望の値に制御する。次に、これら表面荒さの異なるSiGe歪印加層上にSi歪半導体層をUHVCVD法により成長する。再びCMPにより表面を平坦化し、さらに一部の試料は化学処理により再び粗面化し、Si歪半導体層の表面荒さも所望の値に制御する。

【0037】なお、SiGe歪印加層の厚みは3マイクロメートル、Si歪半導体層の厚みは25ナノメートルとし、SiGe歪印加層のGe含有量xははじめの2マイクロメートルの厚さまで0から0.3と膜厚方向に対して連続的に増加させ、残りの1マイクロメートルの厚さでは0.3の一定値とした。

【0038】次に、これらの試料にゲート熱酸化によるゲートSiO<sub>2</sub>膜の形成、ポリシリコン膜のCVD、ドライエッチングによるゲート領域の形成、ソースドレイ

50

7

ン領域への不純物イオン注入、層間絶縁膜形成、コンタクトホール形成、配線形成の諸プロセスを順次経由させて試験用の種々のMOSFETを作製した。

【0039】SiGe歪印加層とSi歪半導体層との間の界面の粗度の評価は、Si歪半導体層形成直前の試料表面荒さを原子間力顕微鏡（AFM）で観察し、ASTM E 42.14 STM/AFM分科委員会勧告に準ずるパワースペクトル計算方法により行った。これは Power Spectral Density (PSD) と称され、画像を対象にその画像のFFT(高速フーリエ変換)を二乗してそのパワーP（単位：平方nm）を求めるものである。

【0040】また、Si歪半導体層とゲート絶縁層との間の界面の粗度の評価は、ゲート熱酸化を行った後にゲート絶縁膜を化学エッチングにより除去し、同じくAFMを用いて表面荒さを測定することにより行った。

【0041】図1にSiGe歪印加層とSi歪半導体層界面の表面の凹凸に相当する波長分布に対する粗度のパワーを測定した特性図（パワースペクトルとも称する）を示す。図中で符号11から14で示されるように4種類の粗度に制御した。図2にはSi歪半導体層とゲート絶縁層界面の粗度のパワースペクトルを示す。こちらも同様に符号21から24で示される4種類の粗度に制御した。本実施例で示す16種類の試料に対する粗度の組み合わせを表1に示す。

【0042】

【表1】

【表1】

試料名	粗度1	粗度2
A	11	21
B	11	22
C	12	21
D	12	22
E	11	23
F	11	24
G	12	23
H	12	24
I	13	21
J	13	22
K	14	21
L	14	22
M	13	23
N	13	24
O	14	23
?	14	24

【0043】なお、上記表中で粗度1はSiGe歪印加層とSi歪半導体層界面の粗度を、粗度2はSi歪半導体層とゲート絶縁層（SiO<sub>2</sub>膜）界面の粗度を示すものであり、数字11～14及び21～24はそれぞれ図1及び図2中に付した特性曲線の番号を表わしている。

【0044】これら異なる界面粗度を持つ試料の電氣的

(5)

8

特性を図3に示す。図3の縦軸はMOSFETのドレイン電流特性より算出した室温（27℃）での実効移動度を示し、横軸はゲート電圧印加に伴って発生する電界強度を示している。界面におけるキャリアの散乱が少ないほど、実効移動度は高い値を示す。

【0045】この図3より、試料A～Dのように両方の界面の粗度が大きい試料の移動度が最も低く、試料M～Pのように両方の粗度が小さい試料の移動度が最も高くなる。歪印加層と歪半導体層界面か歪半導体層と絶縁膜界面のどちらかが粗である試料E～Lも移動度が低下するが、両方とも粗である場合よりも特性が改善されている。

【0046】すなわち、どちらの界面もMOSFETのチャネル移動度を散乱により低下させることがわかる。本実施例の図ではSi歪半導体層の厚みが25ナノメートル（nm）の場合のみを示したが、これ以外の多数の試料を検討した結果から、Si歪半導体層の厚みが50ナノメートル（nm）を超えると、SiGe歪印加層とSi歪半導体層界面の粗度が移動度に与える影響がかなり小さくなることが明らかになった。また、移動度に与える影響を小さくするために必要な粗度は、SiGe歪印加層とSi歪半導体層界面、Si歪半導体層とゲート絶縁体（SiO<sub>2</sub>膜）界面のいずれかの界面において、粗度パワーが0.1nmから10μmの波長範囲にわたって0.1平方ナノメートル以下、望ましくは0.02平方ナノメートル以下、であることが明らかになった。

【0047】即ち、ゲート絶縁膜とSi層との界面及びSiGe層とSi層との界面のいずれかを上記範囲内の粗度パワーを持った平坦度とすることによって、図3中の試料E～L特性曲線に示すようにゲート絶縁膜への電界強度が3×10の5乗～5×10の6乗V/cmの実用範囲でチャネル部の移動度が400平方センチメートル/Vs以上のMOSFETが再現性よく得られる。

【0048】また、SiGe層とSi層との界面を予め上記範囲内の粗度パワーを持った平坦度としておくことによって、その上に堆積された100nm以下の薄いSi層の平坦度即ちゲート絶縁膜とSi層との界面の平坦度も上記範囲内の粗度パワーとすることが判った。

【0049】また、上記両方の界面の平坦度を上記数値の範囲内にすることによって、図3中の試料M～P特性曲線に示すようにゲート絶縁膜への電界強度が3×10の5乗～5×10の6乗V/cmの実用範囲でチャネル部の移動度が800平方センチメートル/Vs以上の極めて優れたMOSFETが再現性よく得られる。

【0050】上記粗度パワーの数値範囲を図4に示す。図4でハッチングを施してある領域およびそれ以下（下側）に試料の粗度があれば、散乱による移動度の低下が無視できるほど小さくなる。粗度の波長範囲が10マイクロメートル以下、0.1ナノメートル以上になっている理由は、前者はこれ以上大きな周期のうねりが表面に

9

あってもデバイスの寸法よりも大きいと、特性にほとんど影響しないためであり、後者はこれ以上短い周期の凹凸が表面にあっても電子の波動関数よりかなり小さくなるために電子波の散乱に影響しないためである。

#### 実施例 2

次に、第2および第3の課題を解決するために行った半導体装置の製造工程の実例を以下に示す。各工程での半導体装置の断面図を図5の(1)(2)(3)及び図6の(4)(5)に示す。

【0051】はじめに、Si基板51上にSi(1-x)Ge(x)歪印加層52をUHVCVD法により成長する。SiGe歪印加層52の成長によって荒れたその表面をCMPにより平坦化する。

【0052】次に、SiGe歪印加層52上に第1のSi層(歪半導体層)53をUHVCVD法により成長する。なお、SiGeの歪印加層52の厚みは3マイクロメートル、Siの歪半導体層53の厚みは25ナノメートルとし、歪印加層52のGe含有量xは初めの2マイクロメートルの厚さでは0から0.3まで膜厚方向に対して連続的に増加させ、残りの1マイクロメートルの厚さでは0.3の一定値とした。以上の工程で図5の

(1)に示すように、歪半導体基板が準備される。

【0053】次に、この半導体基板にウェル形成工程を施す。フォトリソグラフィによりP型トランジスタを形成する領域以外をレジストで覆い、リンをイオン注入させて導電型をN型とする。同様に、N型トランジスタを形成する領域以外をレジストで覆い、ホウ素をイオン注入させて導電型をP型とする。またこれらの工程では、前記第3の課題を解決するために、表面の不純物濃度が1.0の1.7乗毎立法センチメートル以上に高くなるようにして、短チャネル素子のパンチスルー発生を抑制させる。

【0054】次に、この半導体基板に素子分離領域54を形成する。素子分離領域54と活性領域55の段差を制御するためにSi歪半導体層53の表面に熱酸化膜(SiO<sub>2</sub>膜)56を形成し、その上に非晶質Si薄膜57を堆積し、フォトリソグラフィにより素子分離領域54の表面以外をレジストで覆った後、反応性イオンエッチング法により溝50(トレンチ)を掘る。さらにレジストを除去した状態を図5の(2)に示す。

【0055】次に、TEOS-CVD法によりSiO<sub>2</sub>膜58を上記トレンチに埋め込み、CMPによりそれら表面の平坦化を行う。この状態を図5の(3)に示す。

【0056】更に、非晶質Si薄膜57を反応性イオンエッチングで除去し、熱酸化膜56を除去し露出した第1Si層(歪半導体層)53の表面をエッチング乃至清浄化した後に、UHVCVD法によりSiをエピタキシャル成長させ第2Si層59を形成する。このとき、前記第3の課題を解決するために、この第2Si層59の少なくとも表面領域部分の不純物濃度を1.0の1.7乗／

(6)

10

立法センチメートル以下になるように制御する。この状態を図6の(4)に示す。

【0057】次に、P型トランジスタ領域、N型トランジスタ領域それぞれ独立に、しきい値電圧調整用、パンチスルー抑制用のイオン注入を適宜行う。

【0058】以降は、通常のCMOSトランジスタ製造プロセスにより、ゲート熱酸化膜(SiO<sub>2</sub>膜)65の形成、ポリシリコン膜のCVDとドライエッチングによるゲート電極60の形成、不純物イオン注入によるソース・ドレイン領域61の形成、層間絶縁膜62の形成、コンタクトホール63の形成、ソース・ドレイン・ゲート電極配線63の形成を行い、本発明に係わる半導体装置が完成する。その完成状態の断面図を図6の(5)に示す。

【0059】以上のプロセスを経て完成したトランジスタは、SiGeの歪印加層52によりその上のSiのチャネル形成領域53に歪が印加されていること、適切なCMPによりそれらの界面の粗度即ち平坦度が適切に制御されていること、即ち、SiGe歪印加層とSi歪半導体層との界面とSi歪半導体層とゲート絶縁体(SiO<sub>2</sub>膜)との界面の少なくとも一方の界面において、粗度パワーが0.1nmから10μmの波長範囲にわたって0.1平方ナノメートル以下、望ましくは0.02平方ナノメートル以下、としたこと、ウェル形成や素子分離工程の後にSiエピタキシャル成長層59(この層はその表面の上部にゲート電極が形成されるのでトランジスタの活性領域乃至チャネル形成領域として機能する)を不純物濃度を制御して形成して短チャネル効果と不純物による移動度の低下を抑制したことによって、同様のプロセスを施した通常のSi基板による素子に比べて2倍以上の電流駆動能力と高い動作速度を実現することができる。

【0060】このような本発明を適用して半導体集積回路を製造することによって、高速化、高集積化、高性能化が図れるのでその工業的価値は極めて高い。

【0061】以上の実施例で説明したように、基板としてSiウエーハを使用してすれば通常のICやLSIの製造工程と本発明の製造工程とを適宜組み合わせることによって、通常のICやLSIと一体化したより高性能なLSIを実現することができる。

【0062】また、前記したことから理解されるように本発明によれば、P型チャネルのMOSFETであってもN型チャネルのMOSFETであってもそのチャネル部のキャリア移動度が400平方cm/Vs以上のもの、更には800平方cm/Vs以上のものを再現性よく作ることができるので、特に低消費電力での高速動作が要求されるCMOSタイプの半導体集積回路装置を実現することができる。

【0063】また、その場合Pチャネル型、Nチャネル型の両MOSFETの移動度を上記所定の値に揃え

(7)

11

ることも可能となるので、高性能で複雑な機能を果たすCMOSLSIの回路設計もし易くなり、キャリア移動度特性の揃ったCMOSLSIが可能となる。

【0064】

【発明の効果】本発明によれば、Siの歪半導体を導入することによる界面粗面化に伴う散乱を抑制し、高速かつ低消費電力の相補型電界効果トランジスタ及びそれらで構成した特性の優れた半導体集積回路装置を実現することができる。

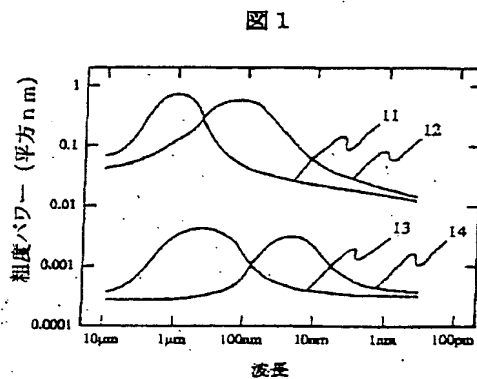
【図面の簡単な説明】

【図1】本発明に係わるSiGe歪印加層とSi歪半導体層との間の界面の粗度のパワースペクトル特性図である。

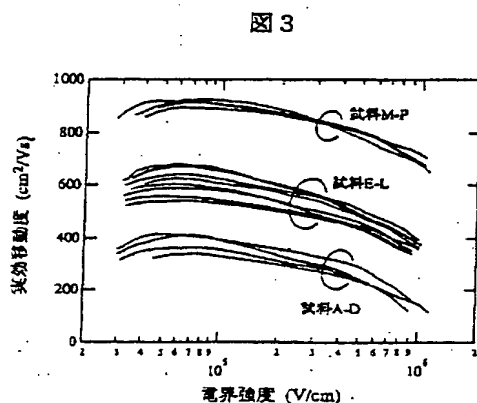
【図2】本発明に係わるSi歪半導体層とゲート絶縁層との間の界面の粗度のパワースペクトル特性図である。

【図3】本発明の実施例1での異なる界面粗度を有する種々の試料の移動度特性を示す特性図である。

【図1】



【図3】



12

【図4】本発明の実施例1での良好な移動度特性を得るに必要な、SiGe歪印加層とSi歪半導体層界面、及びSi歪半導体層とゲート絶縁層界面の粗度の領域を説明するための特性図である。

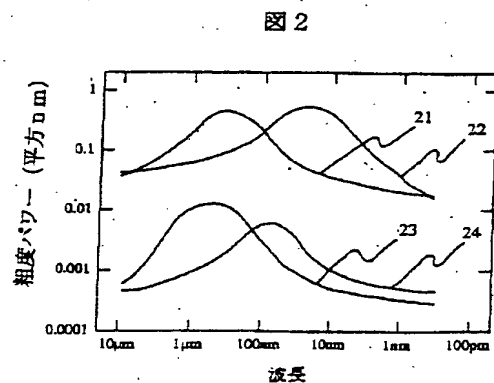
【図5】本発明の実施例2に示した電界効果トランジスタの製造工程を示す断面図である。

【図6】本発明の実施例2に示した電界効果トランジスタの製造工程を示す断面図である。

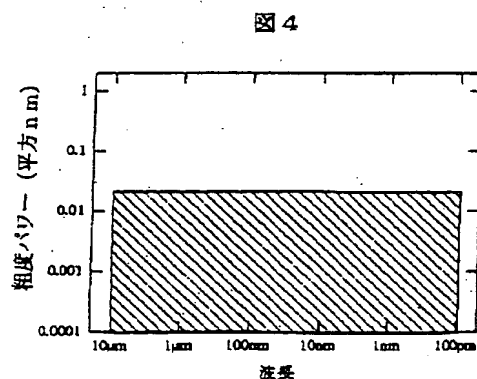
【符号の説明】

10 50…トレンチ、51…Si基板、52…SiGe歪印加層、53…第1Si層（歪半導体層）、54…素子分離領域、55…活性領域、56…熱酸化膜、57…非晶質Si薄膜、58…SiO<sub>2</sub>トレンチ埋め込み膜、59…第2Si層（Siエピタキシャル成長層）、61…ソース・ドレイン半導体領域、60…ゲート電極、65…ゲート絶縁膜。

【図2】



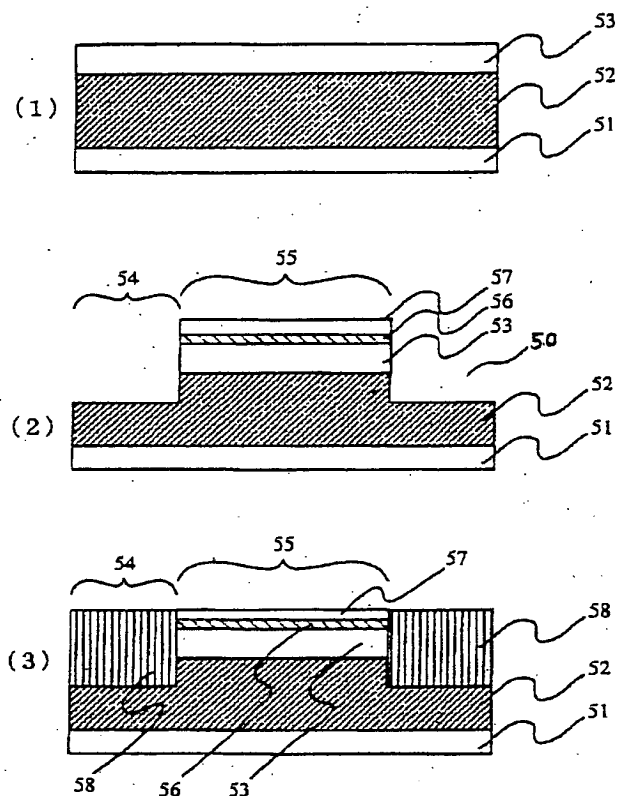
【図4】



(8)

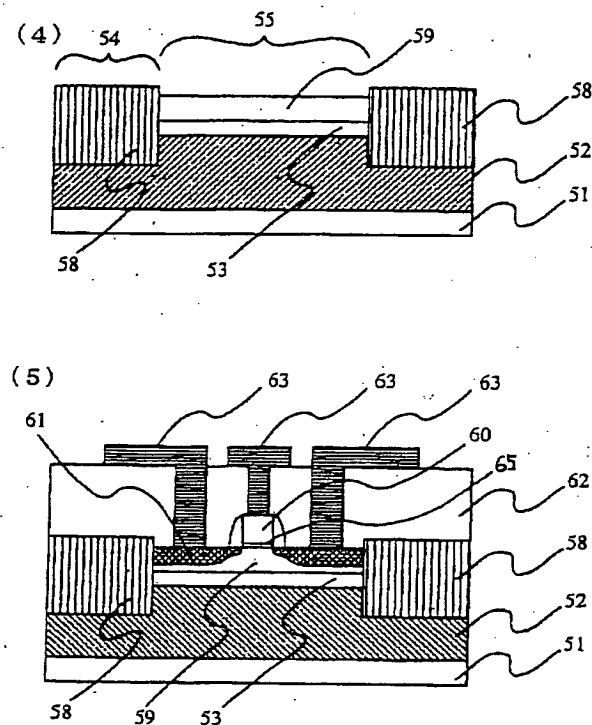
【図5】

図5



【図6】

図6



フロントページの続き

(72) 発明者 山口 伸也  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 朴 成基  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA01 DA02 DB03 DC01 EC07  
 EE06 EK05 EM10 FA03 FC05  
 FC10 FC21  
 5F045 AA07 AB01 AB02 AF03 CA05  
 DA52 GH10 HA12 HA15  
 5F110 AA01 AA09 BB04 CC02 DD05  
 DD13 EE09 EE45 FF02 FF23  
 GG01 GG02 GG19 GG24 GG44  
 GG52 HJ13 NN02 NN62 NN65